



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010096797 (43) Publication.Date. 20011108

(21) Application No.1020000019690 (22) Application Date. 20000414

(51) IPC Code:

H01L 29/78

(71) Applicant:

ROH, YONG HAN

(72) Inventor:

NOH, GWAN JONG

ROH, YONG HAN

YOON, SEON PIL

(30) Priority:

(54) Title of Invention

MOS TRANSISTOR HAVING TUNGSTEN SILICIDE SINGLE-LAYERED GATE STRUCTURE AND FABRICATION METHOD THEREOF

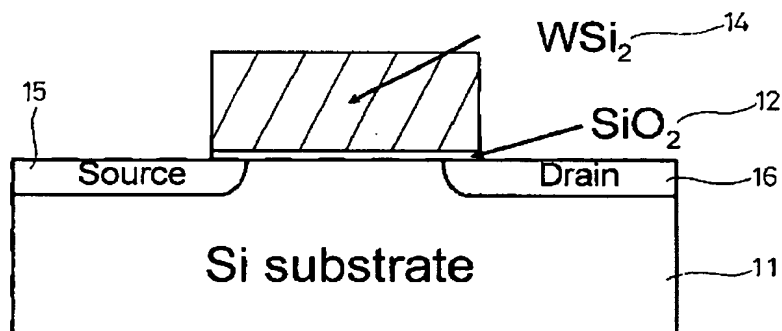
Representative drawing

(57) Abstract:

PURPOSE: A MOS transistor having a tungsten silicide single-layered gate structure and a fabrication method thereof are provided to form a low resistance gate structure by simplifying a manufacturing process.

CONSTITUTION: A gate oxide layer(12) is formed on a semiconductor substrate(11). A tungsten silicide layer (14) is formed on the gate oxide layer(12). A rapid thermal treatment for the tungsten silicide layer(14) is performed under a temperature of 700 to 800 degrees centigrade of a vacuum atmosphere during 2 to 5 minutes in order to lower a resistance of the tungsten silicide layer(14). An oxide layer is formed on the tungsten silicide layer(14). A gate electrode pattern is formed by patterning the oxide layer, the tungsten silicide layer(14), and the gate oxide layer(12). A source region and a drain region(16) are formed by implanting dopant ions on the semiconductor substrate(11) under the gate electrode pattern.

© KIPO 2002



if display of image is failed, press (F5)

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> H01L 29/78		(45) 공고일자 (11) 등록번호 (24) 등록일자	2002년 12월 16일 10-0364524 2002년 11월 29일
(21) 출원번호 (22) 출원일자 (73) 특허권자 (72) 발명자 (74) 대리인	10-2000-0019690 2000년 04월 14일 노용한 노용한 경기 수원시 장안구 정자2동 887-1 두견마울한솔아파트 321동 401호 노관중 경기도수원시장안구천천동성균관대학교내 윤선필 경기도수원시장안구천천동성균관대학교내 이재화	(65) 공개번호 (43) 공개일자	특2001-0096797 2001년 11월 08일

심사관 : 임동우

(54) 텅스텐 실리사이드 단층 게이트 구조를 갖는 MOS 트랜지스터의 제조방법

요약

본 발명은 게이트 산화막 위에 바로 텅스텐 실리사이드를 증착한 후 800℃ 이하의 저온에서 진공 RTP 열처리하여 불소로 인한 게이트 산화막의 열화를 최소화함에 의해 제조공정을 단순화함과 동시에 저 저항의 단층 게이트 구조를 실현할 수 있는 MOS 트랜지스터 및 그의 제조방법에 관한 것이다.

본 발명은 반도체 기판과, 상기 반도체 기판 상에 형성된 게이트 산화막과, 상기 게이트 산화막 위에 단일의 텅스텐 실리사이드막으로 이루어진 게이트 전극과, 상기 게이트 산화막 하부의 게이트 전극 양측에 형성된 소오스 및 드레인 영역으로 구성되는 것을 특징으로 한다.

상기 텅스텐 실리사이드막은 저항값을 낮추기 위하여 텅스텐 실리사이드막을 진공 분위기로 700 내지 800℃의 온도범위에서 약 3분간 급속열처리(RTA)가 이루어진다.

대표도

도2

색인어

MOS 트랜지스터, 텅스텐 실리사이드, 대체 게이트 전극, 열처리

명세서

도면의 간단한 설명

도 1은 종래의 복층 게이트 구조를 갖는 MOS 트랜지스터의 구조를 보여주는 단면도,

도 2는 본 발명에 따른 단층 게이트 구조를 갖는 MOS 트랜지스터의 구조를 보여주는 단면도,

도 3a 내지 도 3e는 본 발명에 따른 단층 게이트 구조를 갖는 MOS 트랜지스터의 제조방법을 설명하기 위한 공정 단면도,

도 4는 텅스텐 실리사이드의 가스비율과 열처리 조건에 따른 비저항의 변화를 보여주는 그래프,

도 5a 및 도 5b는 텅스텐 실리사이드 박막의 열처리 전의 평면도 및 단면 TEM 사진,

도 5c 및 도 5d는 텅스텐 실리사이드 박막의 열처리 후의 평면도 및 단면 TEM 사진,

도 6은 열처리 전후의 고주파 및 저주파 응답 특성 그래프,

도 7a는 FNT 전자 주입시 발생하는 전하 포획으로 인한 문턱전압과 그로부터 유도된 포획 전하밀도의 변화를 열처리 전후를 비교하여 나타낸 그래프,

도 7b는 FNT 전자 주입시 발생하는 전하 포획으로 인한 제어전압과 그로부터 유도된 포획 전하밀도의 변화를 열처리 전후를 비교하여 나타낸 그래프이다.

\* 도면의 주요부분에 대한 부호설명 \*

11 ; Si 기판 12 ; 게이트 산화막

14 ; WSi<sub>2</sub>    15 ; 소오스 영역  
16 ; 드레인 영역    18 ; 스페이서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 텅스텐 실리사이드 단층 게이트 구조를 갖는 MOS 트랜지스터의 제조방법에 관한 것으로, 특히 MOS 트랜지스터의 게이트를 게이트 산화막 위에 바로 텅스텐 실리사이드를 증착한 후 800℃ 이하의 저온에서 진공 RTP 열처리하여 불소로 인한 게이트 산화막의 열화를 최소화함에 의해 제조공정을 단순화함과 동시에 저 저항의 단층 게이트 구조를 실현할 수 있는 MOS 트랜지스터의 제조방법에 관한 것이다.

반도체 소자의 집적도가 증가되어 게이트 전극의 선평이 0.25마이크론( $\mu\text{m}$ ) 수준으로 작아짐에 따라 기존의 불순물이 도우프된 폴리 실리콘(poly-Si)으로 이루어진 게이트 전극은 여러면에서 사용의 한계를 나타내고 있다.

특히, 선평의 감소에 따른 저항의 증가로 인하여 신호의 전달이 지연되며, P-MOS 트랜지스터의 경우 문턱전압(threshold voltage)을 낮추기 위하여 매몰형 채널을 형성해야 하므로 쇼트 채널(short channel) 효과가 커지는 문제점이 있다.

이러한 문제점들을 극복하기 위하여 비저항이 낮고 실리콘의 중간갭(midgap)에 해당하는 일함수(work function)를 갖는 도전물질들을 사용하여 게이트 전극을 형성하려는 연구가 진행되고 있다. 이러한 경향에서 최근에는 불순물이 포함된 폴리 실리콘 대신에 내화성 금속 실리사이드와 폴리 실리콘이 적층된 이른바 폴리사이드 구조가 게이트 구조로서 널리 사용되고 있다.

특히, 티타늄 폴리사이드 구조의 게이트 전극은 매우 낮은 저항값을 얻을 수 있으므로, 게이트 라인에서의 저항을 줄이고 게이트 전극의 단차를 줄일 수 있으므로 1G DRAM과 같은 고집적화된 소자에 유리하게 적용될 수 있다.

상기와 같이 종래의 고집적용 반도체 메모리장치에 적용 가능한 반도체 장치, 즉 MOS 소자의 게이트 구조는 게이트 산화막 위에 폴리 실리콘을 성장시킨 후 저항을 줄이기 위해 텅스텐(W), 코발트(Co), 티타늄(Ti) 실리사이드(silicide)를 성장시키는 복층 구조로 이루어져 있다.

도 1은 종래의 복층 게이트 구조를 갖는 반도체 장치, 즉 MOS 트랜지스터의 구조를 보여주는 단면도로서, 기존의 MOS 트랜지스터 소자의 게이트 구조는 실리콘 기판(Si substrate)(1) 위에 박막의 게이트 산화막(2)을 형성한 후, poly-Si막(3) 위에 텅스텐 실리사이드막(4)을 복층으로 증착한 폴리사이드 구조이다. 도 1에서 부재번호 5는 소오스(Source) 영역, 6은 드레인(Drain) 영역을 가리킨다.

이러한 종래의 폴리사이드 게이트 구조에서는 필히 poly-Si막(3)의 증착공정이 필요하며, 또한 poly-Si막(3)의 저 저항을 얻기 위하여 poly-Si막(3)에 대한 불순물의 주입공정과 주입 불순물의 활성화를 위한 고온 열처리 공정을 필요로 한다.

그러나, 이러한 폴리사이드 게이트 구조를 갖는 반도체 소자는 집적도가 증가함에 따라 실리사이드(폴리사이드)-폴리 실리콘 구조에 게이트 공핍(gate poly-depletion)에 따른 전류 구동 능력 저하, 더블 폴리 실리콘(double poly-Si) 공정에서 p+ 폴리 실리콘 게이트 성장시 발생하는 붕소(B, boron)의 확산(diffusion) 및 게이트 저항의 증가와 같은 문제가 거론되고 있다.

상기 문제점을 개선하기 위해 폴리 실리콘 게이트 기술을 대체할 기술로 폴리실리콘-저머니움(poly-Si<sub>1-x</sub>Ge<sub>x</sub>) 게이트 및 텅스텐, 티타늄 질화막(TiN)의 순수 메탈 게이트 등이 연구되어 왔다.

먼저 상기 poly-Si<sub>1-x</sub>Ge<sub>x</sub>를 게이트로 이용하기 위한 연구는 게이트 공핍의 문제를 해결할 수는 있으나 저항의 향상을 크게 가져올 수는 없다.

한편 순수 메탈 게이트인 텅스텐은 상기 poly-Si 게이트의 문제점들을 해결할 수 있으나, 얇은 SiO<sub>2</sub> 게이트 절연막 위에 증착될 경우 접착성이 떨어지는 문제점과 불소(F, fluorine) 확산에 의해 산화막이 열화되는 문제가 있다.

순수 텅스텐 실리사이드(WSi<sub>2</sub>, tungsten silicide) 게이트 소자는 poly-Si 게이트보다 낮은 저항 특성을 갖고 순수 메탈게이트보다 더 좋은 산화막과의 호환성을 갖는다. 또한 폴리사이드 공정보다 공정이 단순해지며, 기존의 폴리사이드의 상부막 공정에서 사용되어 왔기 때문에 증착 자체로는 비교적 널리 알려진 공정이므로 실제 반도체 생산라인의 적용에 유리하다.

기존의 폴리사이드 구조에서 상부막인 텅스텐 실리사이드 개발을 위해 텅스텐 실리사이드 증착 및 열처리에 관한 연구가 이미 널리 수행되었고, LPCVD 방법으로 증착한 순수 텅스텐 실리사이드를 게이트로 형성한 반도체 소자에 대한 연구도 있었다.

그러나, 기존의 연구에서 사용된 절연막(SiO<sub>2</sub>)은 두께가 650~1800 Å로 매우 두꺼웠고, MOS 트랜지스터의 게이트에 적용이 가능한 얇은 산화막에 대한 적용 및 얇은 산화막 소자 구조에서 고온의 열처리를 수행할 때 WSi<sub>2</sub>-SiO<sub>2</sub> 계면의 변화에 관한 연구는 제한된바 없었다.

얇은 산화막을 갖는 반도체 소자의 경우 낮은 저항을 얻기 위해 고온의 열처리(annealing)를 수행할

시, 텅스텐 실리사이드의 스트레스 및 결정립(grain) 성장으로 인하여  $WSi_2/SiO_2$  계면의 거칠기(roughness)가 증가하고, 그 결과 소자가 열화되는 문제점이 있다. 더욱이, sub 0.1 $\mu m$  이하의 초고집적 반도체 메모리 소자의 제조공정에서는 열처리로 인한 불순물의 재분포를 최소화하기 위해 800 $^{\circ}C$  이하의 저온에서 열처리하는 저온 버짓(low-thermal budget)의 프로세스 개발을 필요로 한다.

#### 발명이 이루고자하는 기술적 과제

따라서 본 발명은 이러한 종래기술의 문제점을 감안하여 안출된 것으로, 그 목적은 RTP 저온 열처리에 의해 단층의 텅스텐 실리사이드 게이트 구조를 실현하여 제조공정을 단순화함과 동시에 저 저항의 게이트 구조를 실현할 수 있는 MOS 트랜지스터의 제조방법을 제공하는 데 있다.

본 발명의 다른 목적은 Sub 0.1 $\mu m$  이하의 고집적 소자 시대에 필요한 저온 버짓(low-thermal budget) 조건을 만족하는 MOS 소자의 대체 게이트로 사용될 수 있는 MOS 트랜지스터의 게이트 전극 형성방법을 제공하는 데 있다.

#### 발명의 구성 및 작용

상기한 목적을 달성하기 위하여, 본 발명은 반도체 기판과, 상기 반도체 기판 상에 형성된 게이트 산화막과, 상기 게이트 산화막 위에 단일의 텅스텐 실리사이드막으로 이루어진 게이트 전극과, 상기 게이트 산화막 하부의 게이트 전극 양측에 형성된 소오스 및 드레인 영역으로 구성되는 것을 특징으로 하는 단층 게이트를 갖는 MOS 트랜지스터를 제공한다.

상기한 MOS 트랜지스터를 제조하는 방법은 반도체 기판 상에 게이트 산화막을 형성하는 단계와, 상기 게이트 산화막 위에 텅스텐 실리사이드막을 형성하는 단계와, 상기 텅스텐 실리사이드막의 저항값을 낮추기 위하여 텅스텐 실리사이드막을 진공 분위기로 700 내지 800 $^{\circ}C$ 의 온도범위에서 2 내지 5분간 급속열처리(RTA)하는 단계와, 상기 텅스텐 실리사이드막 위에 산화막을 형성하는 단계와, 상기 산화막, 텅스텐 실리사이드막 및 게이트 산화막을 패터닝하여 게이트 전극 패턴을 형성하는 단계와, 상기 게이트 전극 패턴 하부의 실리콘 기판에 불순물을 이온주입하여 소오스 및 드레인 영역을 형성하는 단계로 구성되는 것을 특징으로 한다.

본 발명의 다른 특징에 따르면, 본 발명은 MOS 트랜지스터의 게이트 전극 형성방법에 있어서, 반도체 기판 상에 게이트 산화막을 형성하는 단계와, 상기 게이트 산화막 위에 텅스텐 실리사이드막을 형성하는 단계와, 상기 텅스텐 실리사이드막의 저항값을 낮추기 위하여 텅스텐 실리사이드막을 700 내지 800 $^{\circ}C$ 의 온도범위에서 급속열처리(RTA)하는 단계와, 상기 텅스텐 실리사이드막 위에 산화막을 형성하는 단계와, 상기 산화막, 텅스텐 실리사이드막 및 게이트 산화막을 패터닝하여 게이트 전극 패턴을 형성하는 단계로 구성되는 것을 특징으로 하는 MOS 트랜지스터의 게이트 전극 형성방법을 제공한다.

상기 급속열처리는 진공에서 2 내지 5분간 실시하며, 상기 텅스텐 실리사이드막은 기판온도 350 $^{\circ}C$ , 증착압력 0.7Torr, 실란/텅스텐 핵사플로라이드( $SiH_4/WF_6$ )의 가스 혼합비율이 55인 저압 화학기상 증착방법(LPCVD)에 의해 800 내지 1500 Å 두께로 형성되는 것이 바람직하다.

상기한 바와같이 본 발명에서는 MOS 트랜지스터의 게이트를 게이트 산화막 위에 바로 텅스텐 실리사이드를 증착한 후 800 $^{\circ}C$  이하의 저온 진공 RTP 열처리에 의해 불소(F)로 인한 게이트 산화막의 열화를 최소화하여 종래의 폴리사이드 구조에서 poly-Si 증착 및 불순물 주입공정을 제거하고 poly-Si 공정보다 더 낮은 게이트 저항 특성을 얻을 수 있게 되었다.

(실시예)

이하에 상기한 본 발명을 바람직한 실시예가 도시된 첨부도면을 참고하여 더욱 상세하게 설명한다.

첨부된 도 2는 본 발명에 따른 단층 게이트 구조를 갖는 MOS 트랜지스터의 구조를 보여주는 단면도, 도 3a 내지 도 3e는 단층 게이트 구조를 갖는 MOS 트랜지스터의 제조방법을 설명하기 위한 공정 단면도이다.

도 2를 참고하면, 본 발명에 따른 MOS 트랜지스터는 실리콘 기판(11) 위에 게이트 산화막(12)을 통하여 텅스텐 실리사이드( $WSi_2$ )막으로 이루어진 게이트(14)가 직접 형성되고, 게이트(14) 좌/우 하측의 실리콘 기판(11)에 소오스 및 드레인 영역(15, 16)이 형성된 구조를 갖는다.

이러한 단층의 게이트 구조를 갖는 MOS 트랜지스터는 소자의 특성만 문제 없다면 구조가 극히 단순화되어 제조공정을 획기적으로 단순화시킬 수 있는 구조를 갖고 있다.

후술하는 바와같이 본 발명의 단층의 게이트 구조를 갖는 MOS 트랜지스터는  $WSi_2$ 의 과도한 결정립 성장으로  $WSi_2/SiO_2$  계면의 거칠기가 증가하여 소자의 전기적 특성이 열화되는 것을 방지하도록 텅스텐 실리사이드막을 800 $^{\circ}C$  이하의 저온 RTP 열처리에 의해 실현될 수 있었다.

그 결과 본 발명의 텅스텐 실리사이드막으로 이루어진 게이트(14)는 종래의 폴리 실리콘 게이트와 비교할 때 비저항이 약 70% 향상되었고, 또한 폴리 실리콘 소자에서 나타나는 게이트 공핍 현상은 발생하지 않는다.

이하에 도 3a 내지 도 3e를 참고하여 본 발명에 따른 단층의 게이트 구조를 갖는 MOS 트랜지스터의 제조방법을 설명한다.

먼저, 도 3a와 같이 P 또는 N형 Si 기판(11)에 필드 산화막(11a)을 형성함에 의해 소자분리와 활성영역을 정의한다.

이어서 도 3b와 같이 Si 기판(11)의 활성영역에 급속 가열 장비(RTP: Rapid Thermal Processor)를 이용

하여 고온의 산소( $O_2$ ) 분위기에서 게이트 산화막으로 이용될 얇은 실리콘 산화막( $SiO_2$ )(12a)을 성장한다. 이 경우 RTP에 의한 산화막 외에 다른 고유전을 산화막의 적용도 가능하다. 산화막(12a)의 성장조건은  $850^{\circ}C/O_2/80$ 초로, 성장된 산화막( $SiO_2$ ) 두께는  $140\text{ \AA}$ 이다. 산화막(12a)의 성장후 동일한 온도, 질소( $N_2$ ) 분위기에서 60초간 열처리(POA)를 수행하였다.

그후 도 3c와 같이 산화막(12a)의 전면에 텅스텐 실리사이드( $WSi_2$ )막(14a)을 성장시킨다.  $WSi_2$ 의 성장을 위해 사용된 시스템은 냉벽(cold-wall) 방식의 저압 화학기상 증착(LPCVD: Low Pressure Chemical Vapor Deposition) 시스템이다.

이어서, 텅스텐 실리사이드( $WSi_2$ )막(14a)에 대한 열처리를  $700\sim 800^{\circ}C$ 에서 RTA(Rapid Thermal Annealing)/2-5분/진공 조건에서 실시한다. 상기 열처리 시간은 2분 이하인 경우 저항값이 높고, 5분 이상인 경우는  $WSi_2/SiO_2$  계면의 거칠기가 증가하여 소자의 전기적 특성이 열화되는 문제가 발생되므로 2분 내지 5분 이내로 설정되는 것이 바람직하다.

이어서, 텅스텐 실리사이드( $WSi_2$ )막(14a)의 상부에 PECVD 방법으로 산화막(16)을 증착하고 건식에칭에 의한 패턴닝에 의해 도 3d에 도시된 바와같은 게이트 스택 구조를 형성한다.

그후 도 3e와 같이 스페이서(18)를 이용한 주지된 방법에 따라 2차례의 불순물을 이온주입하여 LDD 구조의 소오스 및 드레인 영역(15,16)을 형성하면, 본 발명의 MOS 트랜지스터가 완성된다.

이하에 상기한 MOS 트랜지스터의 게이트 구조를 형성하는 구체적인 방법과 이에 대한 물성을 조사하기 위하여 실시예를 참고하여 설명한다.

이하의 처리공정에서는 소자의 물성이 열처리 조건에 따라 어떻게 변하는 지를 판단하기 위하여 중요한 변수에 대하여는 수치를 가변하여 적용하고 이에 따른 각종 물성의 변화를 측정하여 도 4 내지 도 7b에 도시하였다.

상기한 도 3c에서 LPCVD에 의한  $WSi_2$  증착시 기판온도는  $350^{\circ}C$ , 증착 압력은 저압의 0.7 Torr, 텅스텐 헥사플로라이드( $WF_6$ )의 유량을 2sccm으로 고정시키고 실란/텅스텐 헥사플로라이드( $SiH_4/WF_6$ ) 가스의 혼합 비율(G/R: gas ratio)을 25~70까지 변화시키며  $WSi_2$ 를  $800\sim 1500\text{ \AA}$  두께로 증착시킨다.

그후 텅스텐 실리사이드막(14a)의 저항을 낮추기 위해 가열로(furnace) 또는 RTP를 이용하여 고온 열처리를 수행한다. 열처리 조건은 하기의 표 1과 같이 샘플 1(S1) 내지 샘플 11(S11)에 대하여 가열로의 경우  $N_2$  분위기에서 각기 다른 온도에서 30분간 수행하며, RTP의 경우는  $N_2$  또는 진공분위기에서 각기 다른 온도에서 1~3분간 수행하고 각각의 경우에 비저항(Resistivity)을 측정하여 표 1에 기재하였다. 또한 샘플 12(S12) 내지 샘플 16(S16)에 대하여는 열처리 전의 비저항을 측정하여 표 1에 기재하였다.

[표 1]

	열처리 장비	G/R	열처리 시간(Min)	열처리 분위기	열처리 온도( $^{\circ}C$ )	비저항 ( $\mu\Omega \cdot cm$ )	
샘플1(S1)	RTP	40	1	$N_2$	1000	75	비교예1
샘플2(S2)	RTP	55	1	$N_2$	700	620	비교예2
샘플3(S3)	RTP	55	1	$N_2$	850	260	비교예3
샘플4(S4)	RTP	55	1	$N_2$	1000	80	비교예4
샘플5(S5)	RTP	70	1	$N_2$	1000	85	비교예5
샘플6(S6)	RTP	55	3	진공	740	450	본발명 실시에1
샘플7(S7)	RTP	55	3	진공	780	150	본발명 실시에2
샘플8(S8)	가열로	55	30	$N_2$	980	170	비교예6
샘플9(S9)	가열로	70	30	$N_2$	900	150	비교예7
샘플10(S10)	가열로	70	30	$N_2$	980	60	비교예8
샘플11(S11)	가열로	70	30	$N_2$	1100	35	비교예9
샘플12(S12)	무	40				950	비교예10
샘플13(S13)	무	55				1000	비교예11
샘플14(S14)	무	70				1150	비교예12
샘플15(S15)	무	55				1000	비교예13
샘플16(S16)	무	70				800	비교예14

상기한 열처리후에 비저항을 측정한 결과를 그래프로 나타내면 도와 같이 얻어진다.

본 발명 실시예 2에 따른 샘플(S7)에 대하여는 열처리후의 평면과 단면의 TEM 사진을 찍어 각각 도 5c 및 도 5d에 도시하였고, 이와 비교하기 위하여 열처리 전의 비교예 13의 샘플(S15)에 대한 평면과 단면의 TEM 사진을 찍어 각각 도 5a 및 도 5b에 도시하였다.

도 4 내지 도 5d를 검토할 때 본 발명 실시예에 따른 샘플 6 및 샘플 7인 경우 비교적 낮은 저항 결과 및 도 5d의 균일한(uniform) 단면 TEM 결과를 볼 때, 적절한 열처리 조건은 700~800℃에서 RTA(Rapid Thermal Annealing)/3분/진공 열처리 조건으로 나타났다.

비교예의 샘플 1, 샘플 3 내지 샘플 5, 샘플 8 내지 샘플 11과 같이 800℃ 이상의 높은 온도(850℃~1000℃)에서 열처리를 하는 경우, 저항은 낮아지지만  $WSi_2$ 의 과도한 결정립 성장으로  $WSi_2/SiO_2$  계면의 거칠기가 증가하여 소자의 전기적 특성이 열화되는 문제가 발생된다.

샘플 7(S7)에서 증착된 텅스텐 실리사이드의 조성은 가스비율이 RBS(Rutherford Back Scattering) 분석 결과, 가스비율(G/R)=55에서 증착한 샘플의 열처리전  $Si/W=2.49$ 이었고, RTP/780℃/3분/진공 열처리 후  $Si/W=2.35$ 로 Si 과다임을 보여주었다. 이와 같이 텅스텐 실리사이드막(14a)의 조성이 Si 과다인 경우 막의 균열이나 벗겨짐이 없는 안정한 상태인 것을 의미한다.

다시 도 4를 참고하면 텅스텐 실리사이드의 가스 비율 및 열처리 조건(열처리 장치, 온도)에 따른 비저항 변화에서 열처리전의 비저항은 비정질 또는 미세결정을 가정으로 인해 약  $1000 \mu\Omega \cdot cm$  이다. 본 발명 실시예와 같이 진공상태에서 RTP를 이용하여 3분간 780℃ 열처리한 샘플(S7)로부터 급격한 저항의 감소를 발견하였다.

도 4와 같이 실제로 진공에서 급속 열처리 한 시편의 저항은 가열로(furnace)에서 더 높은 온도, 오랜 시간 열처리한 결과와 유사하다. 이는 종래의 폴리실리콘 게이트와 비교할 때 저항값이 약 70% 감소된 향상된 결과를 가져왔다.

도 5a 내지 도 5d는 텅스텐 실리사이드 박막의 열처리전과 후(RTP/780℃/3분/진공)의 평면 및 단면 TEM 사진을 나타낸 것이다. 열처리전 박막의 결정립은 도 5b와 같이 미세 결정(fine grain)구조를 갖고 있는 것으로 전자 회절사진으로 재확인된다. 열처리 후 박막의 결정구조 변화는 도 5d와 같이 저 저항 결과와 일치하게 급격한 결정립 증가를 보여준다.

더욱 중요한 것은 단면 TEM 사진(도 5d)을 통해 열처리후  $WSi_2/SiO_2$ ,  $SiO_2/Si$  계면의 거칠기가 균일하다는 것을 확인할 수 있다. 이러한 결과는 텅스텐의 성장 중 불소의 산화막으로의 확산으로 인해,  $WSi_2/SiO_2$  경계면에서 산화막의 불균일한 두께변화가 없었다는 것을 나타낸다.

따라서 도 4 및 도 5의 결과를 살펴볼 때 물리적으로 안정된 텅스텐 실리사이드 박막(14a)을 얇은 산화막(12a) 위에 증착이 가능함은 물론, 낮은 온도에서의 진공 RTP 열처리를 통해 저 저항의 특성을 구현할 수 있음을 알 수 있다. 이러한 결과는 텅스텐 실리사이드 게이트가 서브마이크론 이하(deep-submicron)의 MOSFET의 게이트 전극으로 충분히 사용될 수 있음을 보여준다.

도 6은 텅스텐 실리사이드를 게이트로 갖는 MOS 캐패시터의 박막(샘플 7)의 열처리 전(●)과 후(○)(RTP/780℃/3분/진공)의 고주파 및 저주파 응답 특성을 보인 것이다. 이 경우 종래의 폴리 실리콘 소자에서 나타나는 게이트 공핍 현상은 전혀 보이지 않는다.

열처리후의 플랫밴드 전압(Flatband voltage)이 양의 방향으로 0.15V의 변동을 보여줄 뿐 계면전하 밀도는 같다. 플랫밴드 전압 변동의 원인은 열처리 후  $Si/W$ 의 조성변화에서 오는 일함수의 변동에 기인한 것으로 판단된다.

도 7a 및 도 7b는 텅스텐 실리사이드 게이트 MOS 캐패시터의 기판에서 50nA FNT(Fowler-Nordheim Tunnel) 전자 주입시 발생하는 전하 포획으로 인한 전압 변동과 그로부터 유도된 포획 전하밀도(Trapping Charge Density)를 나타낸 것이다.

평탄대역 전압(Flatband Voltage:  $V_{fb}$ ) 및 제어전압(Control Voltage:  $V_{con}$ ) 변동이 열처리 후(□)에 열처리 전(■)보다 크게 감소하였고 절대량 또한 poly-Si 게이트 소자의 결과와 상응할 만하다. 결국 텅스텐 실리사이드 증착공정 중 불소(F)의 확산으로 인한 산화막(12)의 열화가 없었음을 보여준다.

#### 발명의 효과

상기한 바와같이 본 발명에서는 MOS 트랜지스터의 게이트를 게이트 산화막 위에 바로 텅스텐 실리사이드를 증착한 후 800℃ 이하의 저온 진공 RTP 열처리에 의해 불소(F)로 인한 게이트 산화막의 열화를 최소화하여  $WSi_2/SiO_2$ ,  $SiO_2/Si$  계면의 거칠기에는 영향을 주지 않고, 또한 게이트 공핍현상이 발생하지 않으며 종래의 poly-Si 게이트 공정보다 더 낮은 게이트 저항 특성을 얻을 수 있게 되었다.

더욱이, 본 발명에서는 제조공정의 측면에서 볼 때 종래의 폴리사이드 제조공정에서 poly-Si 증착 및 불순물 주입공정을 제거할 수 있고, 열처리 조건은 Sub 0.1 $\mu m$  이하의 소자 시대에 필요한 저온 버짓(low-thermal budget) 조건을 만족할 수 있어, 본 발명의 단층 게이트 구조는 MOS 소자의 대체 게이트로 사용될 수 있다.

이상에서는 본 발명을 특정의 바람직한 실시예를 예를들어 도시하고 설명하였으나, 본 발명은 상기한 실시예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진자에 의해 다양한 변경과 수정이 가능할 것이다.

#### (57) 청구의 범위

##### 청구항 1

삭제

##### 청구항 2

반도체 기판 상에 게이트 산화막을 형성하는 단계와,  
 상기 게이트 산화막 위에 텅스텐 실리사이드막을 형성하는 단계와,  
 상기 텅스텐 실리사이드막의 저항값을 낮추기 위하여 텅스텐 실리사이드막을 진공 분위기로 700 내지 800℃의 온도범위에서 2 내지 5분간 급속열처리(RTA)하는 단계와,  
 상기 텅스텐 실리사이드막 위에 산화막을 형성하는 단계와,  
 상기 산화막, 텅스텐 실리사이드막 및 게이트 산화막을 패턴닝하여 게이트 전극 패턴을 형성하는 단계와,  
 상기 게이트 전극 패턴 하부의 실리콘 기판에 불순물을 이온주입하여 소오스 및 드레인 영역을 형성하는 단계로 구성되는 것을 특징으로 하는 단층 게이트를 갖는 모스 트랜지스터의 제조방법.

### 청구항 3

모스 트랜지스터의 게이트 전극 형성방법에 있어서,  
 반도체 기판 상에 게이트 산화막을 형성하는 단계와,  
 상기 게이트 산화막 위에 텅스텐 실리사이드막을 형성하는 단계와,  
 상기 텅스텐 실리사이드막의 저항값을 낮추기 위하여 텅스텐 실리사이드막을 700 내지 800℃의 온도범위에서 급속열처리(RTA)하는 단계와,  
 상기 텅스텐 실리사이드막 위에 산화막을 형성하는 단계와,  
 상기 산화막, 텅스텐 실리사이드막 및 게이트 산화막을 패턴닝하여 게이트 전극 패턴을 형성하는 단계로 구성되는 것을 특징으로 하는 모스 트랜지스터의 게이트 전극 형성방법.

### 청구항 4

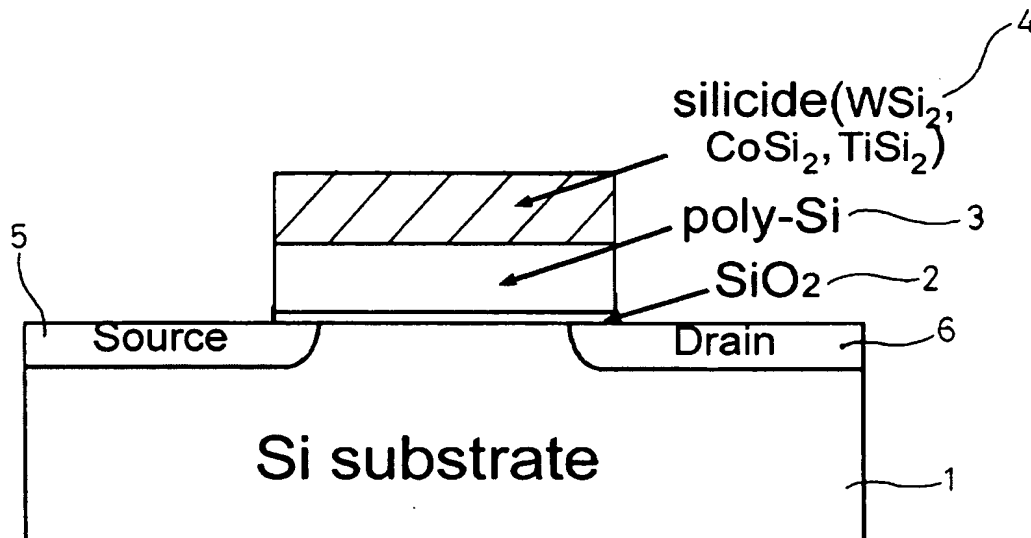
제3항에 있어서, 상기 급속열처리는 진공에서 2 내지 5분간 실시하는 것을 특징으로 하는 모스 트랜지스터의 게이트 전극 형성방법.

### 청구항 5

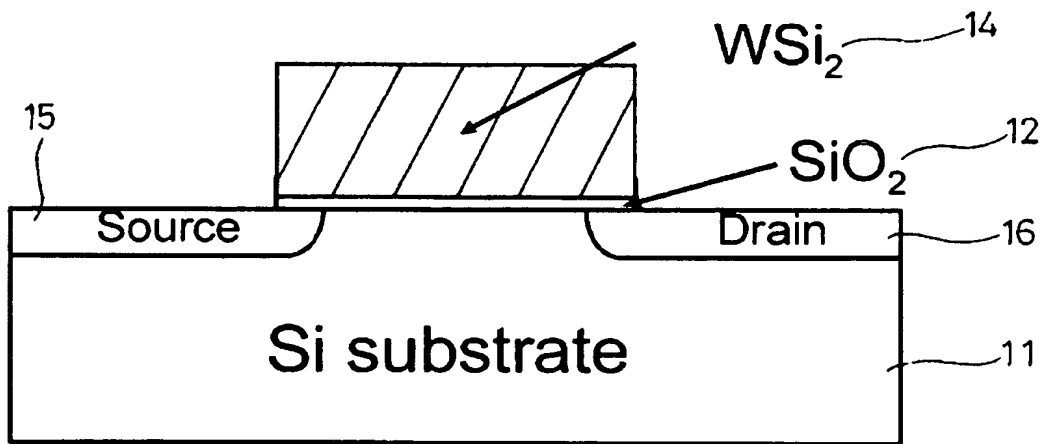
제3항에 있어서, 상기 텅스텐 실리사이드막은 기판온도 350℃, 증착압력 0.7Torr, 실란/텅스텐 헥사플로라이드( $\text{SiH}_4/\text{WF}_6$ )의 가스 혼합비율이 55인 저압 화학기상 증착방법(LPCVD)에 의해 800 내지 1500 Å 두께로 형성되는 것을 특징으로 하는 모스 트랜지스터의 게이트 전극 형성방법.

도면

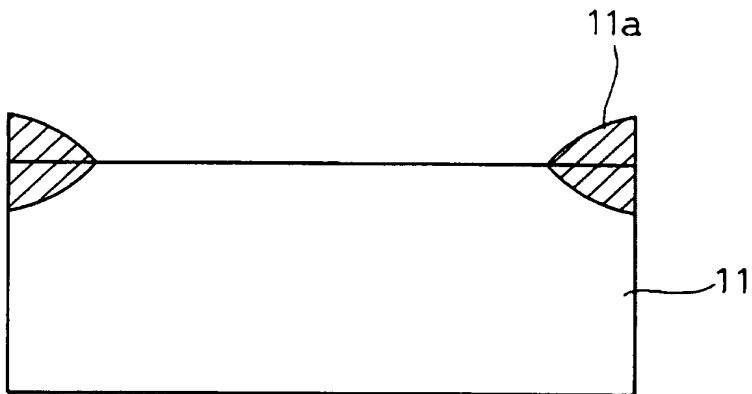
도면1



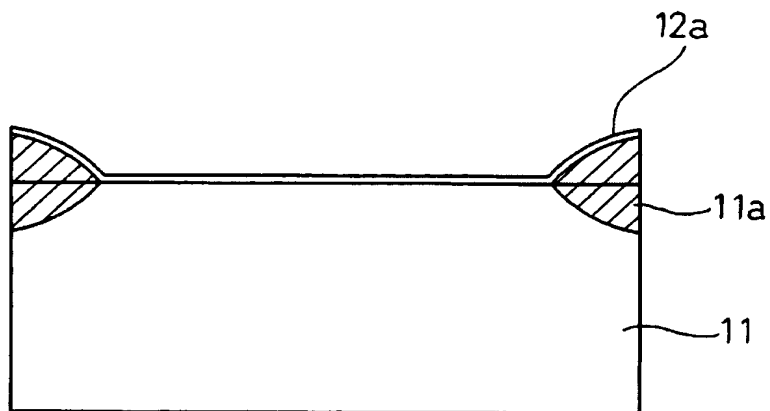
도면2



도면3a

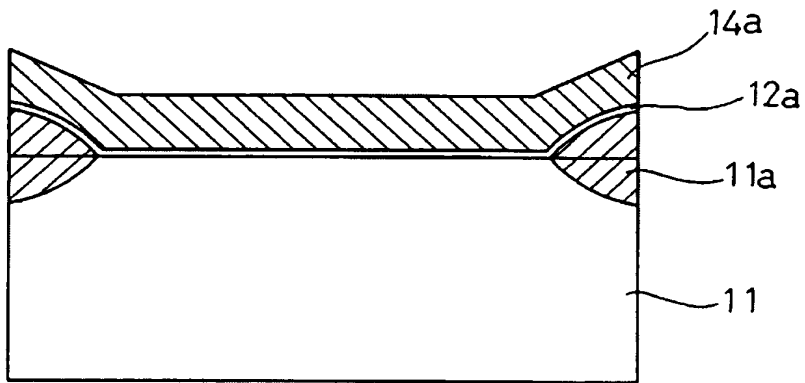


도면3b

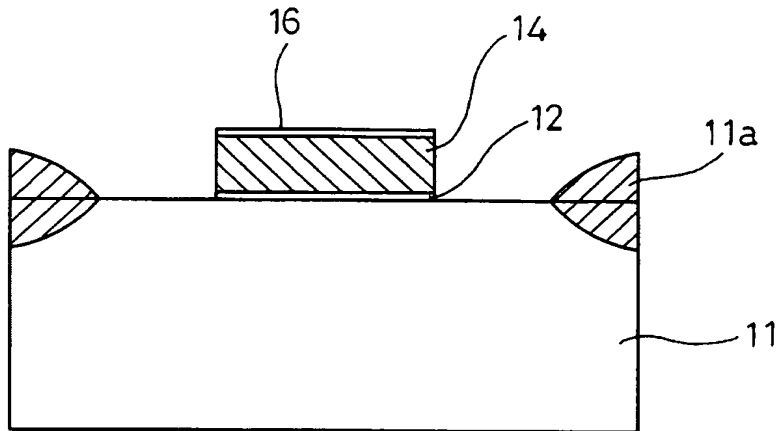




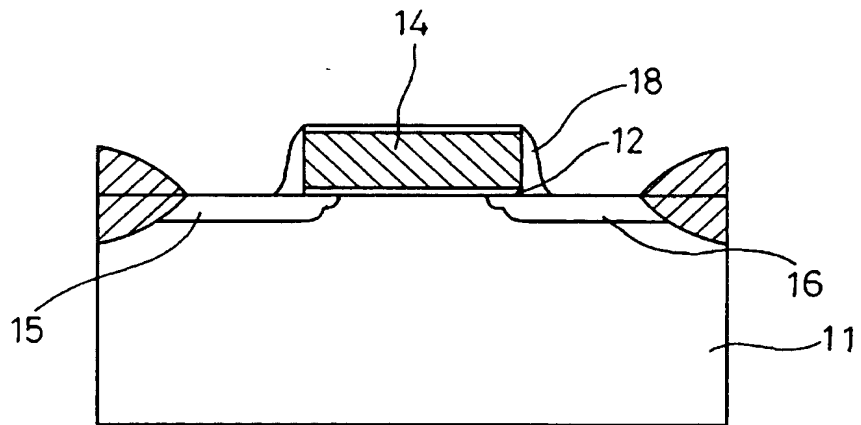
도면 3c



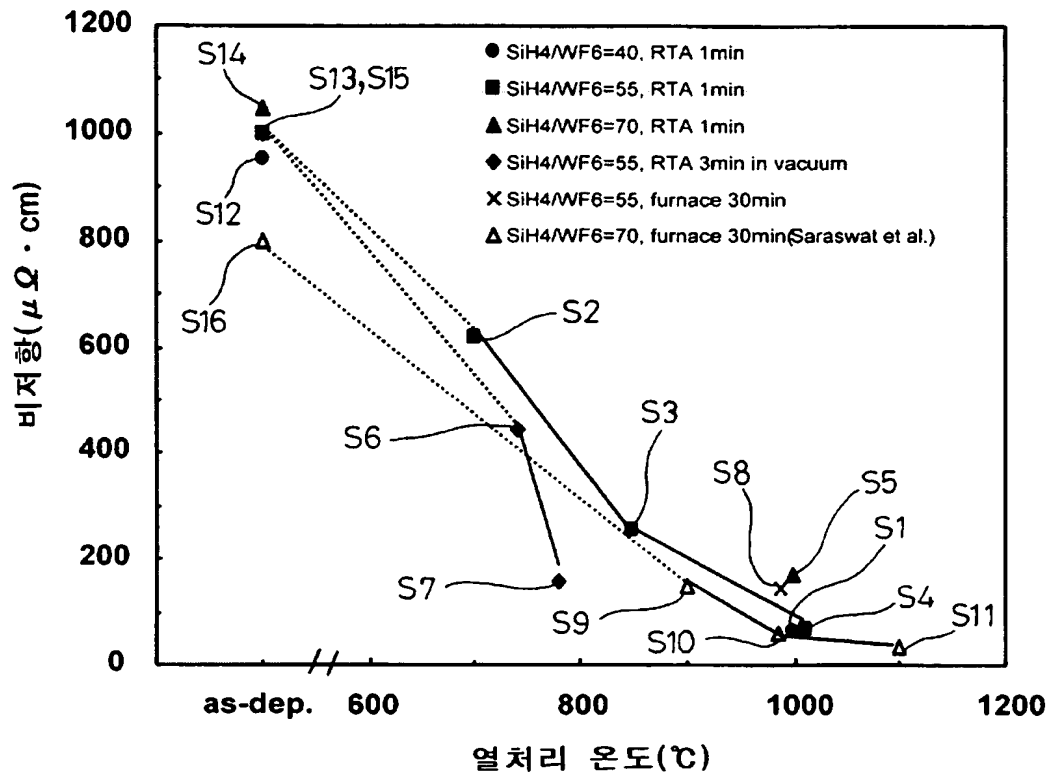
도면 3d



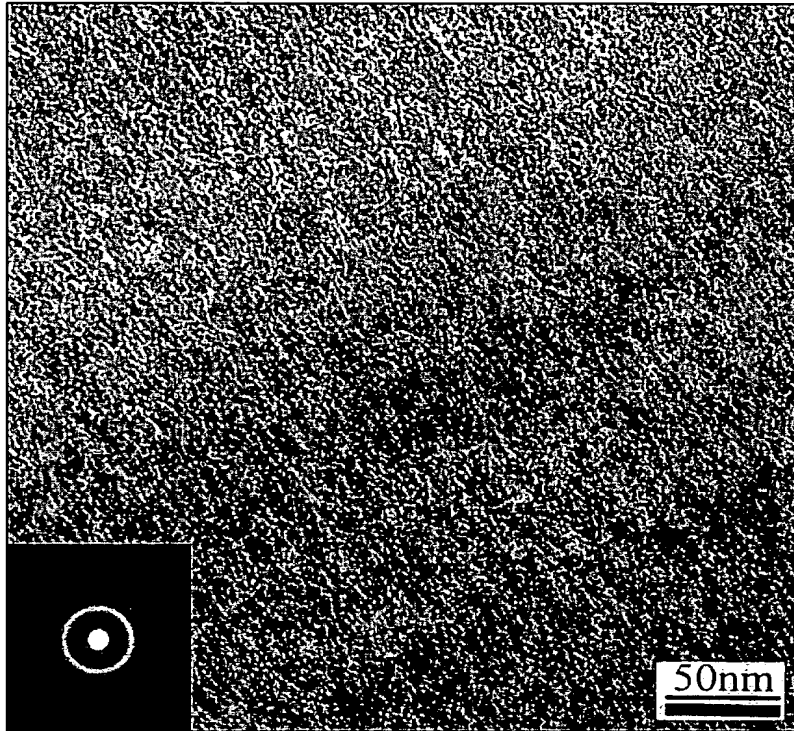
도면 3e



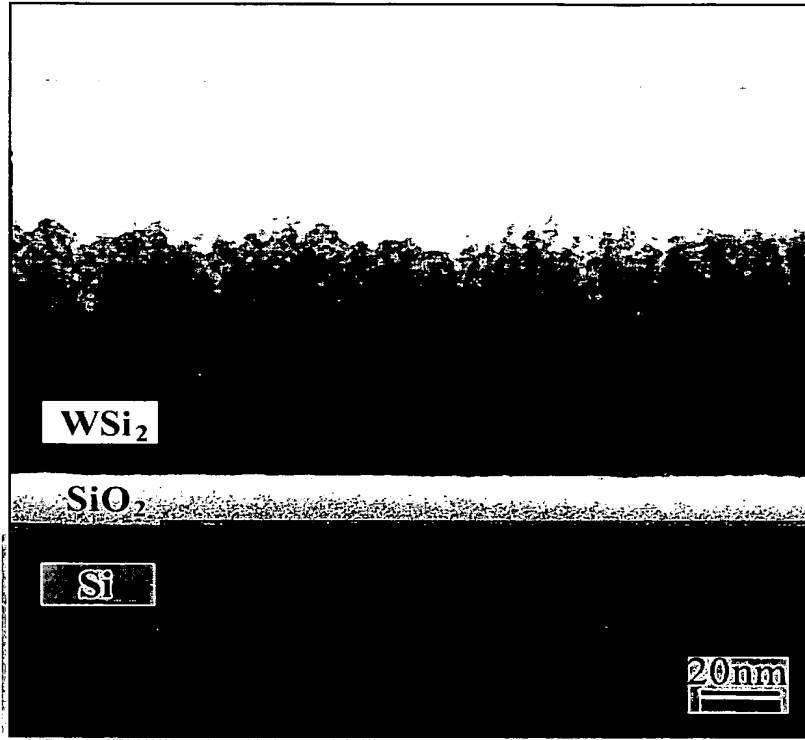
도면4



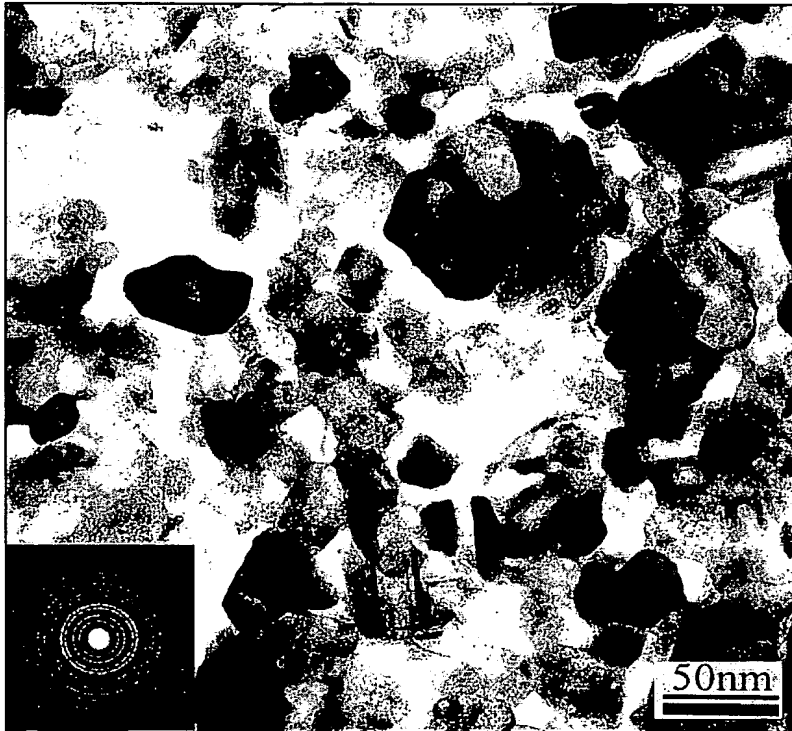
도면 5a



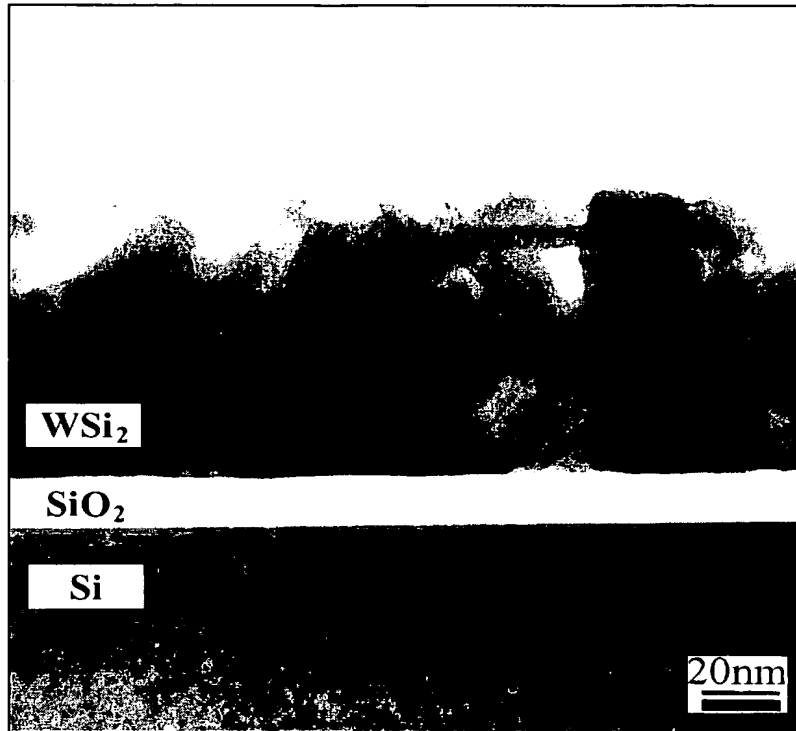
도면 5b



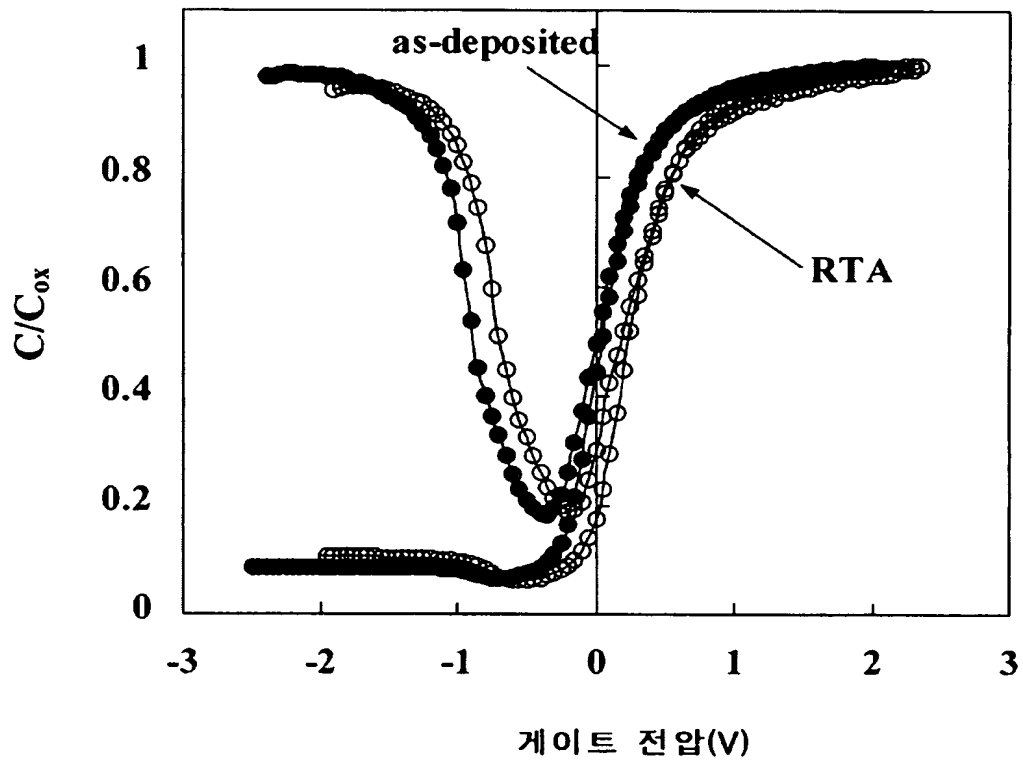
도면5c



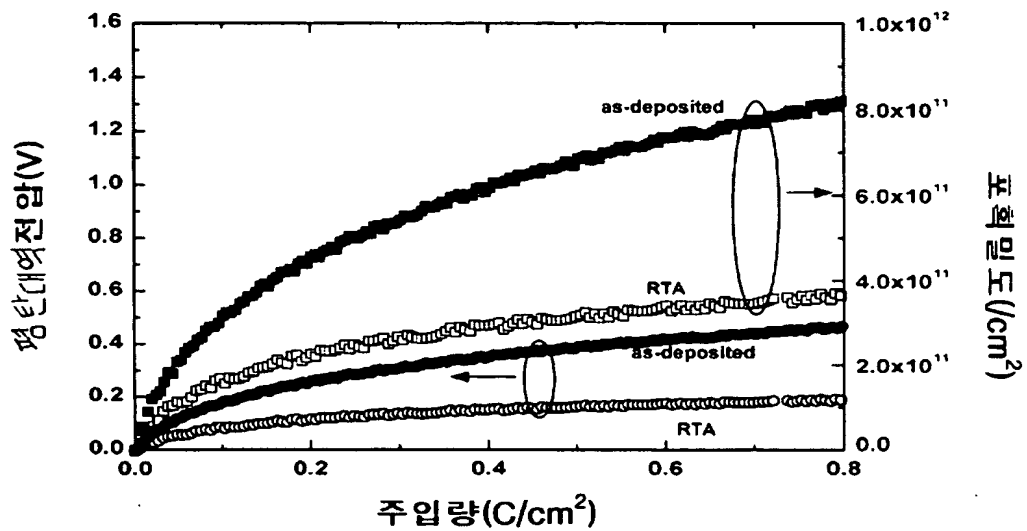
도면5d



도면6



도면7a





도면 7b

